

高品質・高信頼性 MOS デバイスの製造プロセスに関する研究

著者	諏訪 智之
号	50
学位授与番号	3554
URL	http://hdl.handle.net/10097/37222

氏 名	す わ と も ゆ き
授 与 学 位	諷 訪 智 之
学 位 授 与 年 月 日	博士 (工学)
学位授与の根拠法規	平成18年3月24日
研究科, 専攻の名称	学位規則第4条第1項
学 位 論 文 題 目	東北大学大学院工学研究科 (博士課程) 電子工学専攻
指 導 教 員	高品質・高信頼性 MOS デバイスの製造プロセスに関する研究
論 文 審 査 委 員	東北大学教授 高橋 研
	主査 東北大学教授 高橋 研 東北大学教授 伊藤 隆司
	東北大学教授 須川 成利 客員教授 大見 忠弘
	客員助教授 寺本 章伸 (未来科学技術共同研究センター)
	(未来科学技術共同研究センター)

論 文 内 容 要 旨

携帯電話などのデジタルモバイル機器で使用するフラッシュメモリの高速動作, 低消費電力化, 大容量化への要求に対し, トンネル絶縁膜の薄膜化は必須の技術課題である。しかしながら, 現状のトンネル絶縁膜においては, トンネル絶縁膜の薄膜化とともに電気的ストレスによるリーク電流の増大が顕著となり, トンネル絶縁膜の薄膜化を阻害する要因となっている。トンネル絶縁膜の薄膜化を進展させるためには, 薄膜かつ信頼性の高い絶縁膜を形成する技術開発と開発効率の向上のための評価技術の開発という2つの課題がある。著者は, 微小ゲートリーク電流評価回路を設計・試作し, フラッシュメモリの信頼性を決定するビット不良を簡便かつ短時間に検出可能とする評価手法を確立するとともに, Kr/O₂/NO プラズマによるシリコンの直接酸窒化技術を確立し, 薄膜かつ信頼性の高いトンネル絶縁膜形成技術を実現することで課題を克服した。本論文は, これらの研究成果を取りまとめたものであり, 全文4章よりなる。

第1章は序論であり, フラッシュメモリ開発の歴史とその動作原理について説明し, フラッシュメモリの信頼性を確保する上でトンネル酸化膜に要求される電気的ストレスに対する信頼性は薄膜化するほど非常に厳しくなることを示した。しかしながら今後さらなる高性能化のためにはトンネル酸化膜の薄膜化が必要であることを論じた。そのためには, フラッシュメモリの信頼性を損なうビット不良の原因となるストレス誘起リーク電流 (SILC) の低減や局所的な異常 SILC 発生の抑制が必要不可欠であることを確認した。SILC はトンネル酸化膜が薄くなるほど加速度的に大きくなり, それに起因するビット不良も増加する。また, フラッシュメモリの信頼性を損なうビット不良の検出の必要性を示し, これまでのゲートリーク電流測定によりビット不良を検出することは不可能であることを示した。停滞して

いるトンネル酸化膜の薄膜化を進めるためには、絶縁膜の高品質化のための絶縁膜形成技術の開発のみならず、開発効率向上のためのトンネル酸化膜に特化したビット不良の検出・評価技術の開発が必要不可欠である。

第2章では、フラッシュメモリにおけるビット不良を検出可能な微小ゲートリーク電流測定用の2次元アレイ回路を開発した。このアレイ回路を用いて微小面積 (10^{-8}cm^2) を流れる微小ゲートリーク電流を短時間に多数 (8192 cells) 測定し統計的に評価することにより、これまでの大面積 (10^{-4}cm^2) MOSデバイスによる測定では平均化により埋没していた局所的に発生する異常 SILC を発見することが可能となった。電氣的ストレスを印加するほど、またトンネル酸化膜の膜厚が薄くなるほど異常 SILC の流れる不良セル数は増大することが確認され、実際にフラッシュメモリで問題となっている現象を再現している。また微小面積で測定可能なため、膜中の電荷の捕獲・放出によって電流値が離散的に変化することを突き止めた。このような離散的に電流値が異常 SILC を示したり真性 SILC に戻ったりする現象は、実際のフラッシュメモリで現れるランダムなビット不良と同じメカニズムであると考えられる。本アレイ回路は 1Poly、1Metal 程度の簡易プロセスでありながらフラッシュメモリで問題となっている現象を忠実に再現可能であることが検証された。このアレイ回路をトンネル酸化膜の開発に用いることにより、フラッシュメモリにおいて従来はビット不良の有無のみで決定されていた信頼性の指標をその発生原因まで物理的に評価することが可能となり、それにより開発効率が飛躍的に向上し、停滞するトンネル酸化膜の薄膜化を促進できることを示した。

第3章では、フラッシュメモリの信頼性を確保するためには、電氣的ストレスに強い信頼性の高い酸窒化膜形成方法が必要であることを論じた。これまで行われていた $\text{Kr}/\text{O}_2/\text{NH}_3$ プラズマにより形成した酸窒化膜内には水素原子に起因した電子トラップが存在しているために、水素を含まないガスを用いた酸窒化膜形成を行った。すなわち、 $\text{Kr}/\text{O}_2/\text{N}_2\text{O}$ プラズマによりシリコンの酸窒化を行うことにより酸窒化膜表面および酸窒化膜/シリコン界面に選択的に窒素原子が分布する酸窒化膜を形成した。 N_2O ガス流量を小さくして界面窒素濃度を下げると、界面準位密度が低くなるとともに電氣的ストレス印加後のゲートリーク電流 (SILC) の増加が Kr/O_2 酸化膜に比べて一桁以下に抑制できることを明らかにした。すなわち、窒素原子を表面と界面に導入することにより電氣的ストレスに対して非常に強い膜が形成可能となった。しかし、ストレス印加前には酸化膜電界が $6\text{MV}/\text{cm}$ 付近の低電界領域において、 Kr/O_2 酸化膜と比べてゲートリーク電流の増大が観測された。これは $\text{Kr}/\text{O}_2/\text{N}_2\text{O}$ プラズマ中で N_2O の解離によって生成された N_2^+ により酸窒化膜に損傷をもたらし、それがゲートリーク電流の増大を引き起こすと

結論できる。そこで、プラズマ中で解離しにくく、かつ水素の含まない NO ガスを用いて酸窒化膜形成を行った。Kr/O₂/NO プラズマにより形成した酸窒化膜中の窒素原子分布は、Kr/O₂/N₂O 酸窒化膜の場合と同様に酸窒化膜表面およびシリコン基板との界面に窒素が選択的に導入される。界面の窒素濃度についても NO ガス流量を小さくするほど低減され、Kr/O₂ 酸化膜を Kr/O₂/NO プラズマ中で酸窒化する 2step 酸窒化では界面窒素濃度を 10²⁰atms/cm³ まで低減でき、電氣的ストレス耐性も向上することが明らかとなった。また、Kr/O₂/N₂O 酸窒化で観測されたストレス印加前にプラズマ損傷によるゲートリーク電流の増大は起こらない。Kr/O₂/NO プラズマ酸窒化では窒素原子を酸窒化膜表面および酸窒化膜/シリコン界面に選択的に導入することにより、基板からの電子注入とゲート電極からの電子注入の双方においてインパクトイオン化により発生したホットホールの注入が抑制される。その結果、酸化膜に比べて SILC が低減されることを明らかにした。さらに第 2 章で開発したアレイ回路による微小ゲートリーク電流の統計的評価では、熱酸化膜で観測されたビット的に発生する異常 SILC が流れる不良セルが存在しないことを突き止めた。またホール電流についても熱酸化膜に比べ低減されており、Kr/O₂/NO 酸窒化膜ではホールに対するバリアが向上していることが明らかとなった。以上の結果から、Kr/O₂/NO プラズマによるシリコンの直接酸窒化では、従来の熱酸化膜に対し大面積 MOS キャパシタ測定による真性 SILC、およびアレイ回路測定による異常 SILC の両方とも低減でき、電氣的ストレスに強く信頼性の高い酸窒化膜の形成が可能となった。このことから Kr/O₂/NO プラズマ酸窒化膜は薄膜かつ信頼性の高いトンネル絶縁膜として使えることが示された。

本研究はフラッシュメモリにおけるビット不良検出可能な評価手法の確立と薄膜かつ信頼性の高いトンネル絶縁膜形成技術を確立したものである。これらの成果は、フラッシュメモリにおけるトンネル絶縁膜の薄膜化に対する課題を克服するものであり、フラッシュメモリの高性能化に大きく貢献するものである。

論文審査結果の要旨

携帯電話などのデジタルモバイル機器で使用するフラッシュメモリの高速動作、低消費電力化、大容量化への要求に対し、トンネル絶縁膜の薄膜化は必須の技術課題である。しかしながら、現状のトンネル絶縁膜においては、トンネル絶縁膜の薄膜化とともに電氣的ストレスによるリーク電流の増大が顕著となり、トンネル絶縁膜の薄膜化を阻害する要因となっている。トンネル絶縁膜の薄膜化を進展させるためには、薄膜かつ信頼性の高い絶縁膜を形成する技術開発と開発効率の向上のための評価技術の開発という2つの課題がある。著者は、微小ゲートリーク電流評価回路を設計・試作し、フラッシュメモリの信頼性を決定するビット不良を簡便かつ短時間に検出可能とする評価手法を確立するとともに、 $\text{Kr}/\text{O}_2/\text{NO}$ プラズマによるシリコンの直接酸窒化技術を確立し、薄膜かつ信頼性の高いトンネル絶縁膜形成技術を実現することで課題を克服した。本論文は、これらの研究成果を取りまとめたものであり、全文4章よりなる。

第1章は序論である。

第2章では、フラッシュメモリにおけるビット不良を効率的に検出できる微小ゲートリーク電流評価回路の設計・試作・評価結果について論じている。この評価回路を用いることにより、微小面積でかつ統計的評価が可能な規模でゲートリーク電流を高速に測定し、従来の大面積デバイスによる測定では平均化により埋没して検出できなかった局所的に発生するストレス誘起リーク電流の検出を可能とした。ポリシリコン電極1層とメタル電極1層からなる簡易プロセスで製作することにより、本評価回路は短時間での試作・評価を可能にした。さらに、構造を単純化することによって、フラッシュメモリで問題となっている現象を忠実に再現し、トンネル絶縁膜劣化現象を詳細に明らかにすることを可能にした。本評価回路の実現は、トンネル絶縁膜の開発効率を向上させ、停滞するフラッシュメモリのトンネル絶縁膜薄膜化開発を加速させる極めて重要な成果である。

第3章では、フラッシュメモリの高い信頼性を確保するため、薄膜化しても電氣的ストレスに強い酸窒化膜形成方法について論じている。これにより現状では10nmのトンネル絶縁膜を7nmまで薄膜化することが可能である。 $\text{Kr}/\text{O}_2/\text{NO}$ の混合ガスを用いたマイクロ波励起低電子温度プラズマによってシリコン表面を酸窒化することにより、従来の熱酸化膜や Kr/O_2 混合ガスを用いたプラズマ酸化膜と比較して、電氣的ストレス耐性の大きい酸窒化膜の形成が可能となった。 $\text{Kr}/\text{O}_2/\text{NO}$ 酸窒化では窒素が表面と界面近傍に選択的に導入され、電子をゲート側から注入しても基板側から注入しても生成されたホットホールの注入を抑制可能であり、 Kr/O_2 酸化膜に比べストレス誘起リーク電流を1桁低減できることを明らかにした。さらに第2章で述べた微小ゲートリーク測定回路を用いて評価を行い、熱酸化膜では大量の異常ビットリーク電流が発生する電氣的ストレス印加に対しても、 $\text{Kr}/\text{O}_2/\text{NO}$ 酸窒化膜ではビット的に発生する異常なリーク電流による不良が存在しないことを突き止め、そのメカニズムを明らかにした。これらの成果はフラッシュメモリのトンネル絶縁膜の薄膜化・性能向上に極めて重要である。

第4章は結論である。

以上要するに本論文は、フラッシュメモリにおけるビット不良検出が可能な評価手法を確立し、薄膜かつ信頼性の高いトンネル絶縁膜形成技術を確立することにより、フラッシュメモリにおけるトンネル絶縁膜の薄膜化に対する各種の困難を克服するものであり、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。